



(19)

(11) Publication number:

03008340 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 01034405

(51) Intl. Cl.: H01L 21/331 H01L 29/205 H01L 29/73

(22) Application date: 14.02.89

(30) Priority: 09.12.88 JP 63311753

(43) Date of application
publication: 16.01.91

(84) Designated
contracting states:

(71) Applicant: TOSHIBA CORP

(72) Inventor: KATO RIICHI

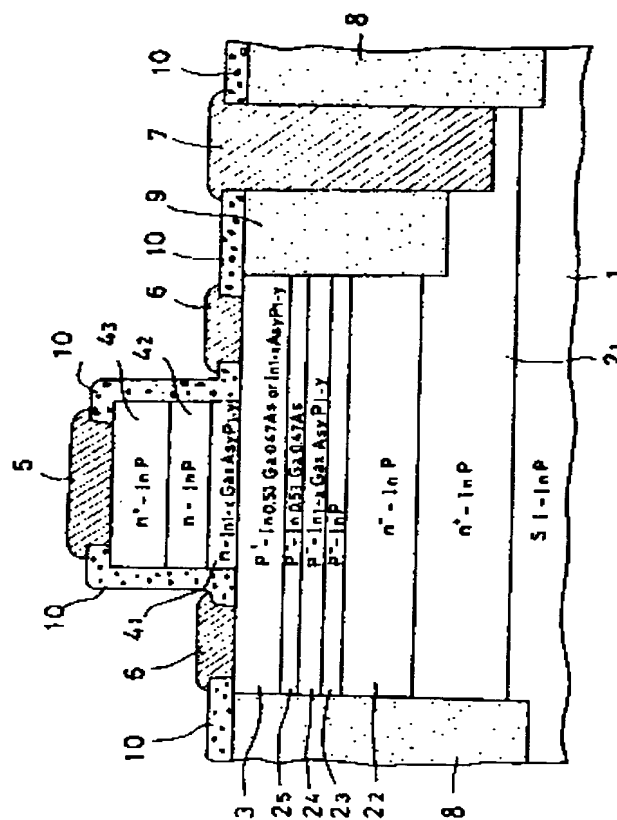
(74) Representative:

(54) HETERO JUNCTION BIPOLAR TRANSISTOR

(57) Abstract:

PURPOSE: In a transistor wherein emitter and collector layers are constituted band gap materials wider than the base layer, to shorten the running time of a collector by providing a layer, which is of the same conductivity type as that of the base layer and is lower in impurity concentration than this, at a region where the collector contacts with the base layer.

CONSTITUTION: On a semiinsulating InP substrate 1 are stacked a collector layer 2, a base layer 3, and an emitter layer 4. The layer 2 consists of an N⁺-type InP third collector layer 21, an N-type InP second collector layer 22, a P-type InP first collector layer 23, a P-type InGaAsP layer 24, and a P-type GaAs layer 25, and the layer 24 changes the band gap between the base layer 3 and the collector layer smoothly. Moreover, when the concentrations of the first - third collector layers are made $N_1 < N_2 < N_3$, these relations are put ion $N_1 < N_2 < N_3$. Moreover, for the layer 3, P⁺-type InGaAs is used, and the layer 4 consists of an N-type InGaAsP layer 41, an N-type InP layer 42, and an N⁺-type InP layer 43, and the layer 41 smoothes the gap between the base and the emitter.



COPYRIGHT: (C)1991,JPO&Japio

IDS p.14 item 4
(FP of katah 5,010,382)
5

US item an said IDS.

PAT-NO: JP403008340A

DOCUMENT-IDENTIFIER: JP 03008340 A

TITLE: HETERO JUNCTION BIPOLAR TRANSISTOR

PUBN-DATE: January 16, 1991

INVENTOR-INFORMATION:

NAME

KATO, RIICHI

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP01034405

APPL-DATE: February 14, 1989

INT-CL (IPC): H01L021/331, H01L029/205 , H01L029/73

US-CL-CURRENT: 257/197, 257/198

ABSTRACT:

PURPOSE: In a transistor wherein emitter and collector layers are constituted band gap materials wider than the base layer, to shorten the running time of a collector by providing a layer, which is of the same conductivity type as that of the base layer and is lower in impurity concentration than this, at a region where the collector contacts with the base layer.

CONSTITUTION: On a semiinsulating InP substrate 1 are stacked a collector layer 2, a base layer 3, and an emitter layer 4. The layer 2 consists of an

N^{+} -type InP third collector layer 2<SB>1, an N^{-} -type InP second collector layer 2<SB>2, a P^{-} -type InP first collector layer 2<SB>3, a P^{-} -type InGaAsP layer 2<SB>4, and a P^{-} -type GaAs layer 2<SB>5, and the layer 2<SB>4 changes the band gap between the base layer 3 and the collector layer smoothly. Moreover, when the concentrations of the first - third collector layers are made N_1-N_3 , these relations are put ion $N_1<N_2<N_3$. Moreover, for the layer 3, P^{+} -type InGaAs is used, and the layer 4 consists of an N-type InGaAsP layer 4<SB>1, an N-type InP layer 4<SB>2, and an N^{+} -type InP layer 4<SB>3, and the layer 4<SB>1 smoothes the gap between the base and the emitter.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A)

平3-8340

⑤ Int.Cl.³H 01 L 21/331
29/205
29/73

識別記号

庁内整理番号

8225-5F

8225-5F H 01 L 29/72

⑬ 公開 平成3年(1991)1月16日

審査請求 未請求 請求項の数 4 (全12頁)

⑭ 発明の名称 ヘテロ接合バイポーラトランジスタ

⑯ 特 願 平1-34405

⑰ 出 願 平1(1989)2月14日

優先権主張 ⑱ 昭63(1988)12月9日 ⑲ 日本(JP) ⑳ 特願 昭63-311753

⑲ 発 明 者 加 藤 理 一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

ヘテロ接合バイポーラトランジスタ

2. 特許請求の範囲

(1) エミッタ層及びコレクタ層がベース層より、広バンドギャップ材料によって構成されるヘテロ接合バイポーラトランジスタにおいて、コレクタ層のベース層と接する領域に、ベース層と同じ導電型で且つベース層よりも不純物濃度の低い層が形成されたことを特徴とするヘテロ接合バイポーラトランジスタ。

(2) 少なくともベース・コレクタ層間に形成されるヘテロ接合が、階段状ないし滑らかにバンド・ギャップが変化するように形成された遷移層を有し、且つその遷移層がコレクタ層のベース層と接する領域に形成されたベース層と同一の導電型でベース層よりも不純物濃度の低い層内からコレクタ側に向かって、ないし、該低不純物濃度層よりコレクタ側に形成されたことを特徴とする請求項1に記載のヘテロ接合バイポーラトランジスタ。

タ。

(3) コレクタ側に形成されるバンド・ギャップの遷移層がコレクタ層のベース層と接する領域に形成されたベース層と同じ導電型でベース層よりも不純物濃度の低い層内に形成されたことを特徴とする請求項2に記載のヘテロ接合バイポーラトランジスタ。

(4) コレクタ層が、ベース層側から、ベース層と同一導電型の第1コレクタ層、ベース層と極性の異なる第2コレクタ層、及び第2コレクタ層と同一導電型の第3コレクタ層により構成され、第1コレクタ層、第2コレクタ層、及び第3コレクタ層の不純物濃度をそれぞれ N_1 、 N_2 、及び N_3 としたとき、

$$N_1 < N_2 \leq N_3$$

成る関係を満たし、且つ第1コレクタ層が少なくとも0バイアス時に完全空乏化していないことを特徴とする請求項1に記載のヘテロ接合バイポーラトランジスタ。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、エミッタ領域及びコレクタ領域に、ベース領域よりバンド・ギャップの大きい半導体材料を用いたダブル・ヘテロ構造のヘテロ接合バイポーラトランジスタ(HBT)に関する。

(従来の技術)

ヘテロ接合バイポーラトランジスタは高周波特性、スイッチング特性に優れているので、マイクロ波用トランジスタや高速論理用トランジスタとして有望視されている。

一般に、バイポーラトランジスタのスピード性能の指標の一つに、カットオフ周波数 f_T がある。カットオフ周波数 f_T は、npn型トランジスタの場合、電子の素子内走行時間の逆数で表されるので、高い f_T を得るには電子の走行時間を短縮する必要がある。素子内に於ける電子の走行時間 τ は、エミッタ充電時間 τ_E 、ベース走行時間 τ_B 、コレクタ走行時間及びコレクタ充電時間の

和 τ_C で与えられる。 τ_B は電流密度によらず、ほぼ一定である。又、 τ_E は電流密度と共に減少し、 10^4 A/cm²代後半から 10^5 A/cm²を超える高電流密度動作時には1 psecを大きく下回る小さな値となる。

一方、 τ_C に付いて検討してみると、電流密度の上昇にともないコレクタ接合容量によるコレクタ充電時間はエミッタ充電時間同様十分小さくできるが、コレクタ走行時間は十分小さくすることができない。特に、従来の一般的な $p^+ - n^-$ (コレクタ)のホモ接合を有する構造では、電子がコレクタ空乏層の高電界領域を 1×10^7 cm/sec以下の小さな飽和速度で走行するため、空乏層幅が広がると、ほぼ単純に τ_C は空乏層幅に比例して増大することになる。このため、 f_T に対して τ_C の寄与が一番大きくなってしまふ。

そこで、 τ_C を短縮するために有効な素子構造が提案されている。その一つに、npn型トランジスタのn型コレクタ層のベース層と接する領域に p^- 層を設けるという、いわゆる p^- 型コレク

タHBT(R. Katoh et al., IEDM Tech. Dig., 1987, pp. 248 ~ 251)がある。

第1.0図に従来の(A₁Ga)As/GaAs系の材料を用いた p^- 型コレクタを有するヘテロ接合バイポーラトランジスタの断面図を示す。ここでコレクタ層32は、ベース層33寄りから、 p^- 型GaAs層32₃、n型GaAs層32₂、 n^+ 型GaAs層32₁のホモ接合で形成されており、 p^- 領域の不純物濃度は n^- 領域の不純物濃度よりも低く設定されている。この $p^- - n^-$ 接合によりコレクタ領域の電界は緩和され、電子は速度オーバーシュートを起こすため、電子のコレクタ走行時間は飽和速度に律速されない小さな値となりうる。

しかし、電流密度が 10^4 A/cm²代後半になると、コレクタ中の電子速度は大きいとは言え、電子の蓄積は無視できなくなり、これに対応する空間電荷効果によってホール蓄積も無視できなくなる。このことを説明するために行ったモンテカルロ・シミュレーションの計算結果を、第1.1図

に示す。この図をみればわかるように、次第にホールのキャリアプロファイルがコレクタ基板側に伸びてきて、空乏層幅が減少し、従って電流密度の上昇と共にコレクタ接合容量も増大することになる。コレクタ接合容量の増大は、カットオフ周波数 f_T 、及び最大発振周波数 f_{MAX} の低下につながり、トランジスタのスイッチング性能を著しく低下させることになる。更に、高電流密度動作時には素子の発熱も無視できなくなり、フォノン散乱が増大するためコレクタ中の電子速度も減少し、従って、電流密度の上昇に伴うコレクタ接合容量の増大率も大きくなると考えられる。又、 p^- 型コレクタ構造自身、従来の n^- 型コレクタ構造に比べ、コレクタ接合容量が大きいという問題もあった。

p^- 型コレクタ層を有するヘテロ接合バイポーラトランジスタは、ほとんどあらゆる電流密度領域で n^- 型コレクタを有するヘテロ接合バイポーラトランジスタよりも大きなカットオフ周波数を持つことが可能であるが、高電流密度領域におけ

る f_T 、 f_{MAX} の低下が抑制できれば更に高速の動作が期待できる。

(発明が解決しようとする課題)

以下のように、従来構造の p^- 型コレクタを有する HBT は、高電流密度領域においてコレクタ接合容量の増大により高速性能が劣化するという問題があった。

本発明は上記の点に鑑みなされたもので、電子のコレクタ走行時間が極めて短く、且、高電流密度領域でコレクタ接合容量の増大が抑制でき、従って、あらゆる電流密度領域でカットオフ周波数 f_T 及び最大発振周波数 f_{MAX} の極めて高い超高速のヘテロ接合バイポーラトランジスタを提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明の第1のヘテロ接合バイポーラトランジスタは、エミッタ層及びコレクタ層に、ベース領域よりも広バンド・ギャップ材料を用いたダブル・ヘテロ構造をしており、尚且つ、コレクタ層

においても構わない。但し、遷移層はコレクタのベースよりの層にかかるように形成された場合極力電荷中性領域にかからないようにしなければならない。何故ならば、そのようにした場合、中性領域に於ける伝導帯形状は正の電子エネルギーを上向きにした場合、上に凸となり、電子のコレクタへの注入を妨げることになるからである。

本発明の第3のヘテロ接合バイポーラトランジスタは、本発明の第2のヘテロ接合バイポーラトランジスタにおいて、コレクタ中に形成されるバンド・ギャップの遷移層を、コレクタ層のベース層と接する領域に形成されたベース層と同一導電型でベース層よりも不純物濃度の低い層内に形成したことを特徴とする。

即ち、本発明の第3のヘテロ接合バイポーラトランジスタは、コレクタ中のバンドギャップの遷移層を、伝導帯側に電子のブロック層を形成することなしに極力ベース側に近づけ、ホールのコレクタ側への注入が抑制される。

本発明の第4のヘテロ接合バイポーラトランジ

スタは、本発明の第1のヘテロ接合バイポーラトランジスタにおいて、少なくともベース・コレクタ層間に形成されるヘテロ接合が、階段状ないし滑らかにバンド・ギャップが変化するように形成された遷移層を有し、且つその遷移層がコレクタ層のベース層と接する領域に形成された、ベース層と同一の導電型でベース層よりも不純物濃度の低い層内からコレクタ側に向かって、もしくは、該低不純物濃度層よりもコレクタ側に形成されたことを特徴とする。

ここで、コレクタ領域に形成されるバンド・ギャップの遷移層は、コレクタ層のうちベースよりの層から始まっている、しかもベースから遠いほうの半導体層に及んでもかまわない。又、遷移層は、ベースから遠いほうの半導体層に形成され

スタは、本発明の第1のヘテロ接合バイポーラトランジスタに於いて、コレクタ層が、コレクタ側から、ベース層と同一導電型の第1コレクタ層、ベース層と極性の異なる第2コレクタ層、及び第2コレクタ層と同一導電型の第3コレクタ層により構成され、第1コレクタ層、第2コレクタ層、及び第3コレクタ層の不純物濃度をそれぞれ N_1 、 N_2 、及び N_3 としたとき、

$$N_1 < N_2 \leq N_3 \quad (1)$$

なる関係を満たし、且つ第1コレクタ層が少なくとも0バイアス時に完全空乏化していないことを特徴とする。

(作用)

本発明の第1のヘテロ接合バイポーラトランジスタは、エミッタが n 型半導体で構成されている場合を例にとれば、 p^+ ベースと p^- コレクタとの間に形成されるポテンシャル・ドロップにより電子はまず加速され、更に、コレクタ領域では、不純物濃度が低いために緩やかに変化する伝導帯によって、谷間錯乱を起こすことなく、電子は再

度加速され、コレクタ領域全体に亘って電子速度のオーバーシュートを起させることができる。更に、コレクタ層が広バンドギャップ材料によって構成されているため、ホールのコレクタ中への注入が抑制され、高電流密度動作時における、コレクタ空乏層幅の縮小は抑制され、従って、コレクタ接合容量の増大も抑えられる。これにより、高 f_T 、高 f_{MAX} のヘテロ接合バイポーラトランジスタが提供される。

本発明の第2のヘテロ接合バイポーラトランジスタは、第1のヘテロ接合バイポーラトランジスタのコレクタ領域中のバンド・ギャップの遷移層を、コレクタ中のベース層に近い側に形成された、ベース層と同一導電型で不純物濃度の低い層内からコレクタ側、ないし、ベース層から遠い側にあるコレクタ層内に設けてある。このことにより、コレクタ領域の伝導帯に凸部がでないようにすることができる。もし、遷移層を p^+ -ベースと p^- -コレクタの接合部からコレクタ側に設けると、第12図に示すように、コレクタ領域の伝導

帯に上に凸の部分ができ、ベースからコレクタに注入された電子が電位障壁によって妨げられ、コレクタ電極まで到達しにくくなってしまう。これは、遷移層を p^- 型コレクタの中性領域に設定したことによるものであり、本発明の第2のヘテロ接合バイポーラトランジスタの様に遷移層を設定してやればこの様なことは起こらない。

本発明の第3のヘテロ接合バイポーラトランジスタは、第2のヘテロ接合バイポーラトランジスタに於いて、コレクタ側に形成されるバンド・ギャップの遷移層を、コレクタ層のベース層と接する領域に形成された、ベースと同一導電型で不純物濃度の低い層内に形成する。こうすることにより、広バンド・ギャップ・コレクタによる伝導帯側のホールに対する電位障壁が、極力ベース層に近ずけられるため、コレクタ領域において、コレクタ接合容量に寄与するホールと電子が空間的に分離でき、従って熱平衡時におけるコレクタ接合容量のみならず、高電流密度動作時の空間電荷効果に起因する空乏層幅の縮小も抑制できるため、

コレクタ接合容量の増大も抑制できる。

本発明の第4のヘテロ接合バイポーラトランジスタは、第1のヘテロ接合バイポーラトランジスタに於いて、コレクタ層の濃度を(1)式によって規定し、尚且つ、第1コレクタ層が少なくとも0バイアス時に完全空乏化しないようにしている。もし第1コレクタ層が完全空乏化していれば、ベースから第1コレクタ層にかけての伝導帯の形状では急峻に折れ曲がり、直接ベースと第2コレクタ層がつながったと同じことになり、電子はコレクタ層に入ると同時に谷間散乱を起こしてしまう。これに対し第4のヘテロ接合バイポーラトランジスタでは、高濃度ベースと低濃度コレクタの接合にできる電位差により先ず、ベースからコレクタに注入された電子を加速し、更に、低濃度で導電型の異なる半導体層により形成された接合を有するコレクタ層では、バンド形状が緩やかに変化するため、電子は谷間散乱を起こすことなく加速される。従って、コレクタ領域全体に亘って速度オーバーシュート効果を有効に利用できる。

(実施例)

以下、本実施例を説明する。

第1図は、 InP/InGaAs 系材料を用いた本発明の第1実施例のヘテロ接合バイポーラトランジスタである。半絶縁性 InP 基板1を用いてこの上に、コレクタ層2、ベース層3およびエミッタ層4が積層形成されている。コレクタ層2は、 n 型コレクタとして高濃度の n^+ 型 InP 層(第3コレクタ)2₁と低濃度の n^- 型 InP 層(第2コレクタ)2₂を有し、この上に p^- 型コレクタ(第1コレクタ)として p^- 型 InP 層2₃、 p^- 型 $\text{In}_{1-x}\text{Ga}_x\text{As}_y\text{P}_{1-y}$ 層2₄および p^- 型 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層2₅を有する。 $\text{In}_{1-x}\text{Ga}_x\text{As}_y\text{P}_{1-y}$ 層2₄は、ベース層3とコレクタ InP 層との間でバンドギャップを滑らかに変化させるための遷移層である。この遷移層は、組成比 x 、 y を連続的にまたは階段状に変えることにより、得られる。第1コレクタ、第2コレクタおよび第3コレクタの濃度をそれぞれ N_1 、 N_2 および N_3 としたとき、

$$N_1 < N_2 \leq N_3$$

なる関係が設定されている。ベース層3は、 p^+ 型 $In_{0.53}Ga_{0.47}As$ (または $In_{1-x}As_yP_{1-y}$) 層により形成されている。エミッタ層4は、 n 型 $In_{1-x}Ga_xAs_yP_{1-y}$ 層4₁と n 型 InP 層4₂, およびエミッタ・キャップ層としての n^+ 型 InP 層4₃により形成されている。 $In_{1-x}Ga_xAs_yP_{1-y}$ 層4₁は、ベース層とエミッタ InP 層との間のバンドギャップを滑らかに変化させる遷移層である。

このトランジスタを製造するには、半絶縁性 InP 基板上に、順次半導体層をエピタキシャル成長させる必要がある。この、エピタキシャル成長法としては、ガスソース分子線エピタキシー法(GSMBE法)、又は、減圧有機金属気相成長法(LPMOCVD法)が用いられる。具体的な製造条件を工程順に説明すると、先ず半絶縁性 InP 基板1上に、不純物として、 Sn の濃度が $2 \times 10^{18} cm^{-3}$ 、厚さが 5000 \AA の n^+ 型 InP 層2₁をエピタキシャル成長させる。 n^+

純物として Sn の濃度が $2 \times 10^{17} cm^{-3}$ 、厚さが 500 \AA の n 型 $In_{1-x}Ga_xAs_{1-y}Py$ 層4₁ ($0.47 \leq x \leq 0$, $0 \leq y \leq 1$)をエピタキシャル成長させる。ここで、 x , y は第4層と同じ目的で設けられており、 InP と格子整合し、尚且つ伝導帯が滑らかに繋がるよう、 x は下から上に向かって徐々に大きくなり、 y は下から上に向かって徐々に小さくなるよう設定されている。更にその上に、不純物濃度 $2 \times 10^{17} cm^{-3}$ 、厚さ 1500 \AA の n^- 型 InP 層4₂、不純物濃度 $2 \times 10^{18} cm^{-3}$ 、厚さ 1000 \AA の n^+ 型 InP 層4₃を順次エピタキシャル成長させる。

この様に形成されたエピタキシャル・ウエハを用いて、先ず、基板1に達する素子分離用絶縁層8を H^+ のイオン注入により形成し、又トランジスタ内部の n^+ 型 InP 層2₁に達する電極間分離用絶縁層9を B^+ のイオン注入によりそれぞれ形成する。そして所定のマスクを用いて、半導体層を p^+ 型 $In_{0.53}Ga_{0.47}As$ 層3に達する深さまでエッチングして、ベースを露出させる。

型 InP 層2₁上に、不純物濃度が $4 \times 10^{17} cm^{-3}$ 、厚さ 2000 \AA の n^- 型 InP 層2₂をエピタキシャル成長させる。 n^- 型 InP 層2₂上に、不純物として Cd の濃度が $1 \times 10^{17} cm^{-3}$ 、厚さが 1000 \AA の p^- 型 InP 層2₃をエピタキシャル成長させる。 p^- 型 InP 層2₃上に、不純物濃度が $1 \times 10^{17} cm^{-3}$ 、厚さが 250 \AA の p^- 型 $In_{1-x}Ga_xAs_{1-y}Py$ 層2₄ ($0 \leq x \leq 0.47$, $1 \geq y \geq 0$)をエピタキシャル成長させる。ここで x , y は、 InP 基板に格子整合し、尚且つ伝導帯が滑らかにつながるように設けられた組成比で、 x は下から上に向かって徐々に大きくなり、一方 y は下から上に向かって小さくなるよう設定されている。次に、 p^- 型 $In_{1-x}Ga_xAs_{1-y}Py$ 層2₄の上に不純物濃度が $1 \times 10^{17} cm^{-3}$ 、厚さが 250 \AA の p^- 型 $In_{0.53}Ga_{0.47}As$ 層2₅をエピタキシャル成長させる。その上に、不純物濃度が $1 \times 10^{18} cm^{-3}$ 、厚さが 1000 \AA の p^+ 型 $In_{0.53}Ga_{0.47}As$ 層3をエピタキシャル成長させる。その上に、不

この後、全面に $CVD SiO_2$ 層9を形成する。そして、コレクタ領域の電極コンタクトをとるため、ウエハ表面から、 n^+ 型 InP 層2₁に達する深さのエッチングを行う。この部分に薄い $GeAu/Au$ 層を形成し、その上に Au 層を形成してコレクタ電極7とする。更に、エミッタ領域、ベース領域の孔開けを行い、 $GeAu/Au$ によるエミッタ電極5、 Cr/Au によるベース電極6を形成する。

この様に作られたヘテロ接合バイポーラトランジスタとはほぼ同一構造のトランジスタにおいて、モンテカルロ・シミュレーションにより得られる素子内ドリフト速度分布が第2図に示されている。但し、この計算には、ベース中でエミッタからコレクタへ電子を加速するようバンド・ギャップにグレーディングを施している。ここで動作条件は $V_{CE} = 1.5 \text{ V}$, $V_{BE} = 1.01 \text{ V}$, 1.05 V , 1.1 V としている。この図からわかるように、コレクタのほぼ全域で電子速度はオーバーシュートしている。

又、同一計算条件下でのバンド図及びホールのキャリア・プロファイルをそれぞれ、第3図および第4図に示す。第3図からわかるように、コレクタ領域の伝導帯は滑らかに繋がっており電子はベースからコレクタへと速やかに吸い出される。一方、価電子帯側は、グレーディング領域で急峻に立ち上っており、ホールに対する障壁を形成しているのがわかる。又第4図からわかるように、確かにコレクタ側でホールはグレーディング領域でブロックされており、コレクタ中に広がっていないのがわかる。

第5図に本発明のヘテロ接合バイポーラトランジスタの第2の実施例を示す。基本的な構成は、第1の実施例と同じであるが、ここでは、外部ベース領域のコレクタ接合容量を低減するため、コレクタの外部ベース領域に H^+ のイオン注入による高抵抗層11を設けている。

第6図に $(InAl)As/InGaAs$ 系の材料を用いた本発明のヘテロ接合バイポーラトランジスタの第3の実施例を示す。本実施例では、

p^- 型 $In_{0.53}Ga_{0.47}As$ 層12₅により構成されている。ベース層13は、 p^+ 型 $In_{0.53}Ga_{0.47}As$ 層により構成されている。エミッタ層14は、遷移層である n 型 $(Al_xGa_{1-x})_{0.47}In_{0.53}As$ 層14₁および14₃をはさんで、 n 型 $Al_{0.47}In_{0.53}As$ 層14₂とキャップ層としての n^+ 型 $In_{0.53}Ga_{0.47}As$ 層14₄を積層して構成されている。コレクタ層12のなかの p^- 型コレクタ(第1コレクタ)と低濃度 n 型コレクタ(第2コレクタ)および高濃度 n 型コレクタ(第3コレクタ)の濃度関係は、先の実施例と同様に設定される。

この実施例によっても、先の第1図の実施例と同様の効果が得られる。

第7図に $InP/(InGa)As$ 系の材料を用いた本発明のヘテロ接合バイポーラトランジスタの第4の実施例を示す。本実施例では、第1の実施例のトランジスタを上下反転したいわゆるコレクタ・トップ型のヘテロ接合バイポーラトランジスタである。従って第1図と対応する部分には

広バンド・ギャップ材料として $(InAl)As$ 、狭バンド・ギャップ材料として $(InGa)As$ を用いており、いずれも InP に格子整合するように、混晶比が決められている。又、コレクタのバンド・ギャップのグレーディング領域は、 p^- コレクタ領域内から始まり、 p^-n^- 接合で終端するように設定されている。本実施例のヘテロ接合バイポーラの作成には、 InP 基板上へのエピタキシャル成長法としてMBE法ないしMOCVD法が用いられる。

第6図において、第1図と対応する部分には第1図と同一符号を付してある。第1図と異なるのは、コレクタ層12、ベース層13およびエミッタ層14の材料の組合せである。即ち、 n 型コレクタ層は、高濃度の n^+ 型 $In_{0.53}Ga_{0.47}As$ 層12₁と遷移層である n 型 $(Al_xGa_{1-x})_{0.47}In_{0.53}As$ 層12₂、および低濃度の n 型 $Al_{0.47}In_{0.53}As$ 層12₃により構成されている。 p^- 型コレクタ層は、遷移層である p^- 型 $(Al_xGa_{1-x})_{0.47}In_{0.53}As$ 層12₄と

同じ符号を付して詳細な説明は省略する。コレクタ層2、ベース層3およびエミッタ層4の積層順序が第1図と異なる他、基本的に第1図と同じである。ただし、真性エミッタ領域の面積を減らすために、イオン注入ないし拡散で作られた p^+ 型外部ベース領域16、17を設けてある。

第8図に $GaAs/(InGa)As$ 系の材料を用いた本発明のヘテロ接合バイポーラトランジスタの第5の実施例を示す。本実施例ではエミッタ及びコレクタに広バンド・ギャップ材料として $GaAs$ を用い、ベースに狭バンド・ギャップ材料として、 $In_{0.05}Ga_{0.95}As$ を用いている。即ち、半絶縁性 $GaAs$ 基板21を用い、この上に $GaAs/InGaAs$ 系材料によりコレクタ層22、ベース層23およびエミッタ層24が積層形成されている。他は第1図と同様であり、従って第1図と同一符号を付してある。

第4の実施例までは格子整合系を取り扱っていたが、本実施例では格子不整合系を取り扱っている。又、本実施例のヘテロ接合バイポーラト

ランジスタの作成には、GaAs基板が用いられその上へのエピタキシャル成長法としてMBE法ないしMOCVD法が用いられる。ベース領域は不整合転位が発生しないように膜厚を設定することが必要である。p⁻型コレクタ部分からの具体的な節造条件を以下に示す。まず、p型GaAs層22₃(500Å)の上に、p⁻型In_xGa_{1-x}As層22₄をxが下から0 ≤ x ≤ 0.05となるように変化するよう200Å成長し、その上に300Åのp⁻型In_{0.05}Ga_{0.95}As層22₅を形成する。p⁻層の不純物濃度は1 × 10¹⁷cm⁻³とし、これらの層22₃ ~ 22₅までがp⁻型コレクタ層となる。更にその上にベース層23となるp⁺型In_{0.05}Ga_{0.95}As層を500Åエピタキシャル成長する。ここでp⁺層の不純物濃度は5 × 10¹⁹cm⁻³である。又、エミッタ・キャップ層としてn⁺型In_xGa_{1-x}Asグレーディング層24₃(0 < x < 0.5)及びn⁺型In_{0.5}Ga_{0.5}As層24₄を設けている。これらの層の不純物濃度は2 × 10¹⁹cm⁻³

層24₂の部分を、Al_xGa_{1-x}As層24₂₁(0 < x < 0.3)、Al_{0.3}Ga_{0.7}As層24₂₂、およびAl_xGa_{1-x}As層24₂₃(0 < x < 0.5)により構成した他は、第5の実施例と全て同じ構成になっている。ただし、エミッタにバンド・ギャップが1.8eVと大きいAl_{0.3}Ga_{0.7}Asを用いているためh_{TE}等トランジスタ特性は第5の実施例を若干上まわるものになっている。

【発明の効果】

以上述べたように、本発明によれば、速度オーバーシュート効果を十分に発揮して小さいコレクタ走行時間が得られるのみならず、高電流密度動作時のコレクタ中における空乏層の短縮を抑制でき、それに伴うコレクタ接合容量の増大も抑えられるため、あらゆる電流密度領域で極めて高いf_T、f_{MAX}を有するヘテロ接合バイポーラトランジスタの実現が可能となった。

4. 図面の簡単な説明

第1図は本発明の第1実施例のヘテロ接合バ

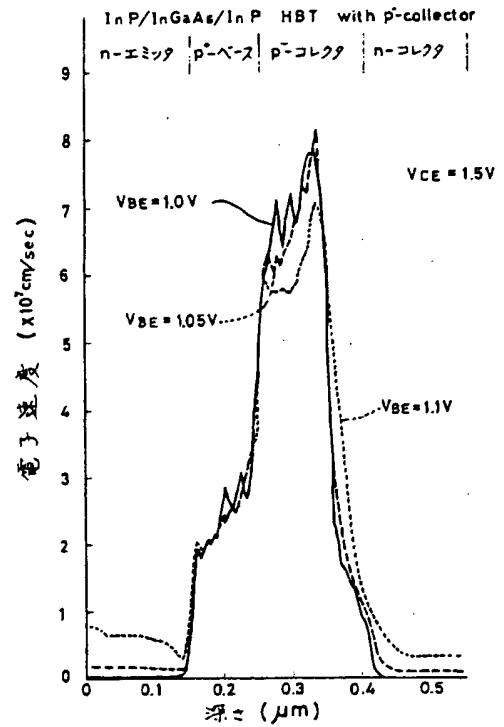
と高く、又それぞれの層の厚さは500Åである。このエミッタ・キャップ層は、エミッタ・コンタクト抵抗を低減するために設けられているが、Inのモル比は0.5と高く、不整合転位が生じているが、トランジスタ特性上問題はない。バンド・ギャップの大きさは、GaAsでE_g = 1.43 eV、In_{0.05}Ga_{0.95}Asで、1.39 eVであり、又、そのバンド・ギャップの差は0.04 eVと小さいものであるが、ベースが高ドープのためバンド・ギャップ縮小効果によりその差は更に広がっており、ヘテロエミッタの効果は充分発揮される。

第9図に、(AlGa)As/(InGa)As/GaAs系材料を用いた本発明のヘテロ接合バイポーラトランジスタの第6の実施例を示す。本実施例では、エミッタ及びコレクタに、広バンドギャップ材料として、それぞれAl_{0.3}Ga_{0.7}As及びGaAsを用いており、又ベースには狭バンド・ギャップ材料としてIn_{0.05}Ga_{0.95}Asを用いている。本実施例でも格子不整合系を取り扱っており、第8図のエミッタn型GaAs

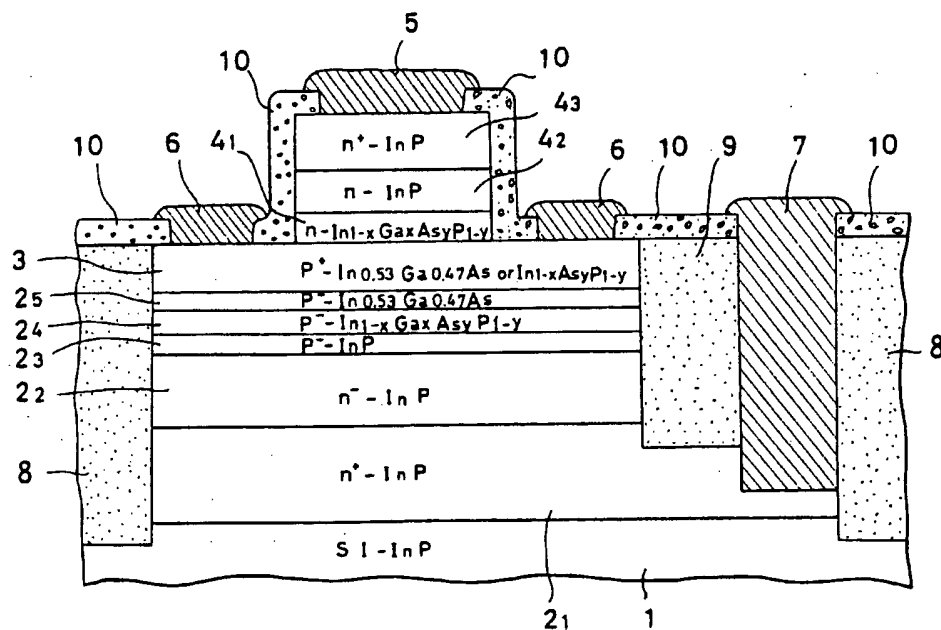
イポーラトランジスタを示す断面図、第2図はそのヘテロ接合バイポーラトランジスタの平均電子速度プロファイルを示す図、第3図は同じくそのヘテロ接合バイポーラトランジスタに於ける動作時のバンド図、第4図は同じくそのヘテロ接合バイポーラトランジスタに於ける動作時のホール・キャリア・プロファイルを示す図、第5図は第2実施例のヘテロ接合バイポーラトランジスタを示す断面図、第6図は本発明の第3実施例のヘテロ接合バイポーラトランジスタを示す断面図、第7図は本発明の第4実施例のヘテロ接合バイポーラトランジスタを示す断面図、第8図は本発明の第5実施例のヘテロ接合バイポーラトランジスタを示す断面図、第9図は本発明の第6実施例のヘテロ接合バイポーラトランジスタを示す断面図、第10図は従来のヘテロ接合バイポーラトランジスタを示す断面図、第11図はそのトランジスタの動作時のホール・キャリア・プロファイルを示す図、第12図はコレクタ側運移層の位置により不都合が生じる様子を示す伝導帯図である。

1…半絶縁性InP基板、2(2₁~2₅)…コレクタ層、2₁…n⁺型InP層、2₂…n⁻型InP層、2₃…p⁻型InP層、2₄…p⁻型In_{1-x}Ga_xAs_yP_{1-y}層、2₅…p⁻型In_{0.53}Ga_{0.47}As層、3…ベース層(p⁺型In_{0.53}Ga_{0.47}As層)、4(4₁~4₃)…エミッタ層、4₁…n⁻型In_{1-x}Ga_xAs_yP_{1-y}層、4₂…n型InP層、4₃…n⁺型InP層、5…エミッタ電極、6…ベース電極、7…コレクタ電極、8…素子分離用絶縁層、9…電極間分離用絶縁層、10…CVDSiO₂膜。

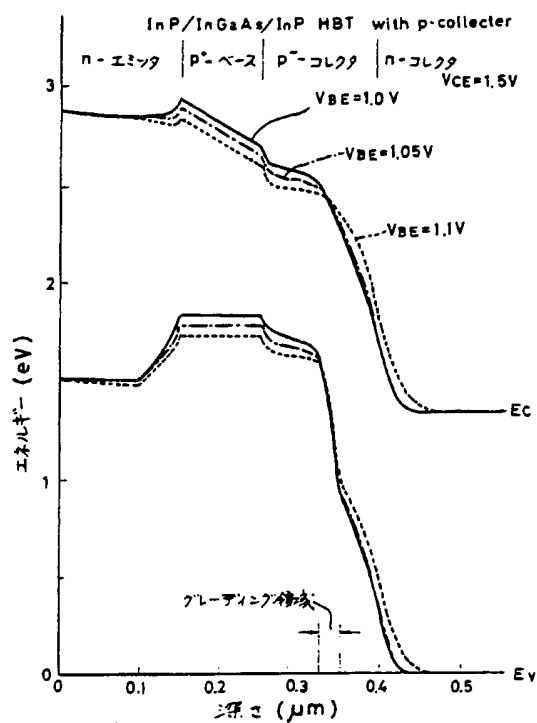
出願人代理人 弁理士 鈴 江 武 彦



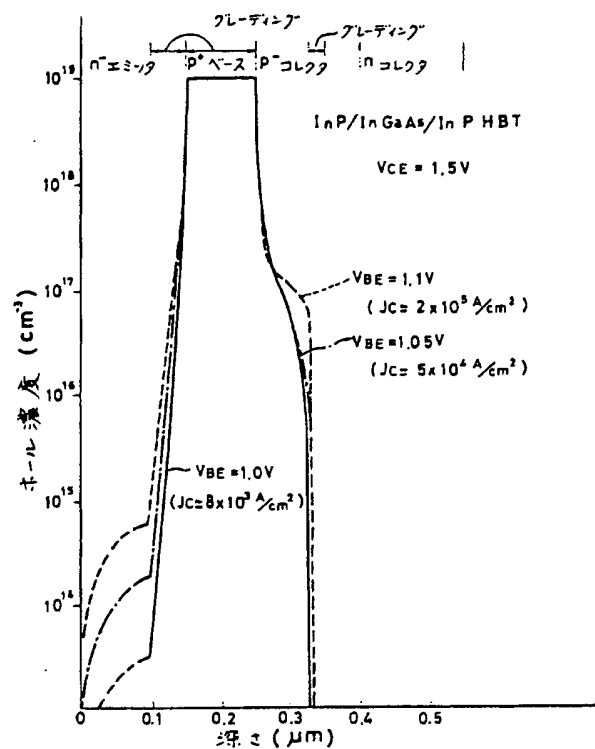
第 2 図



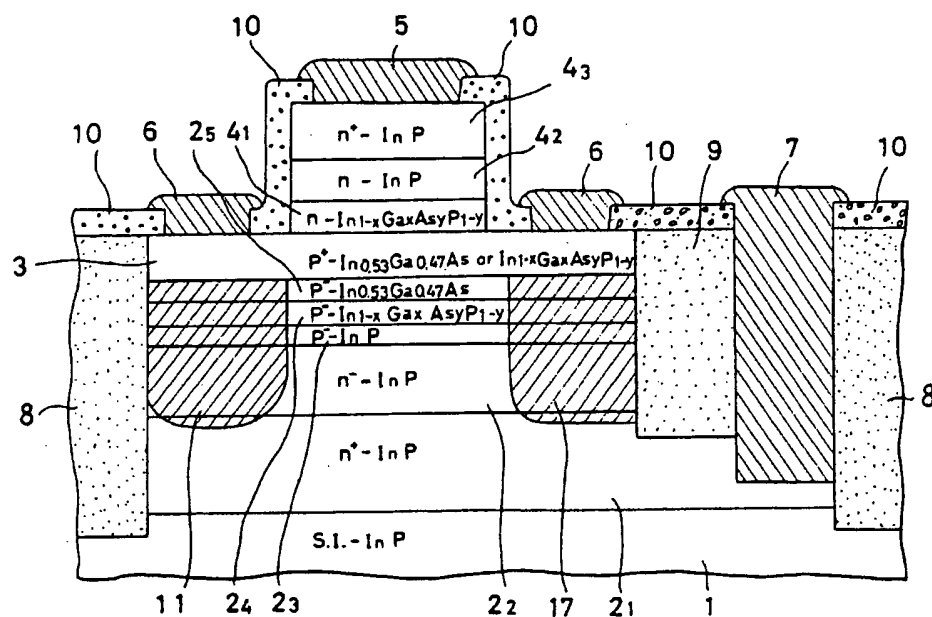
第 1 図



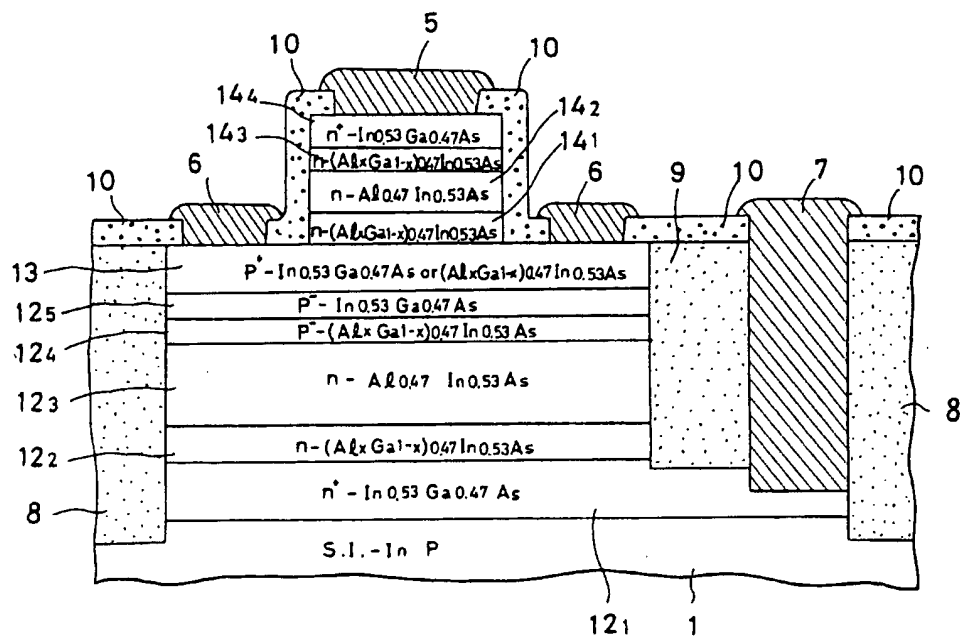
第 3 図



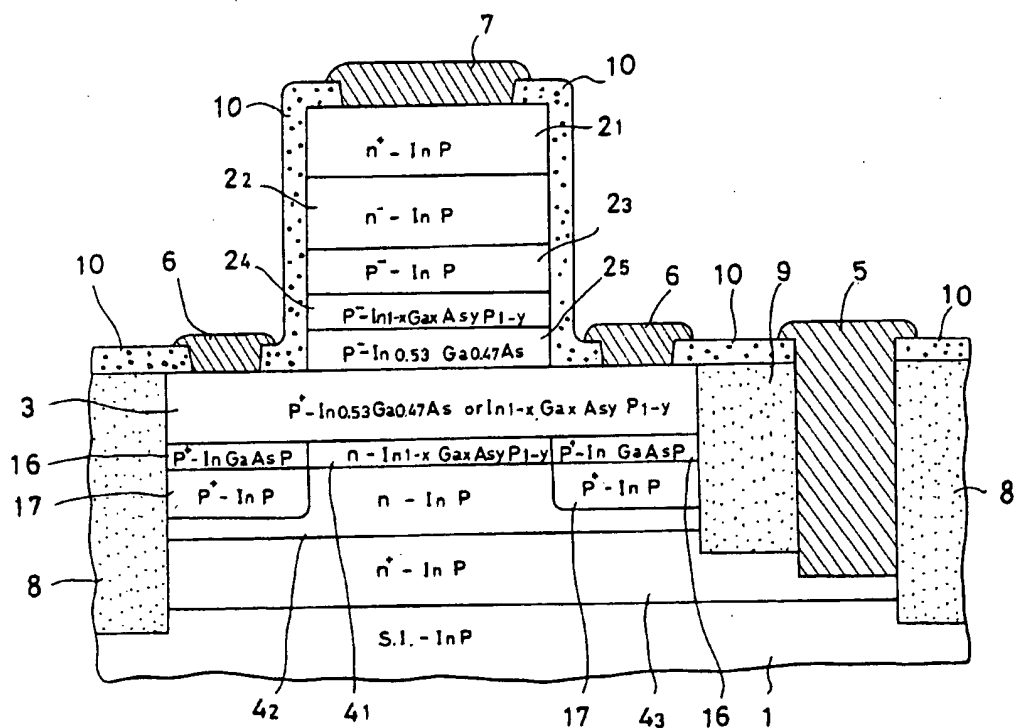
第 4 図



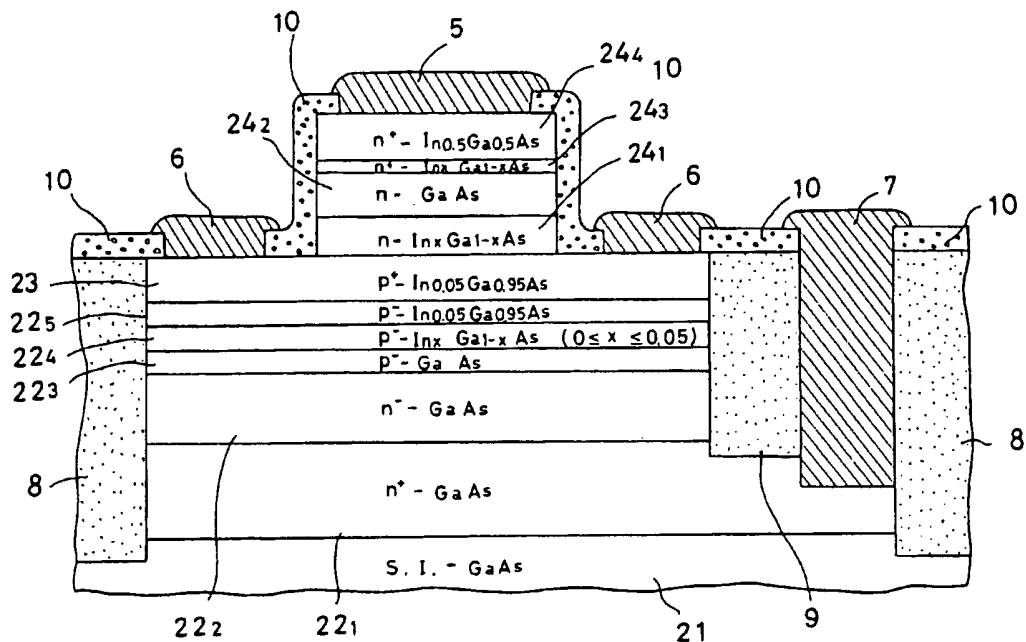
第 5 図



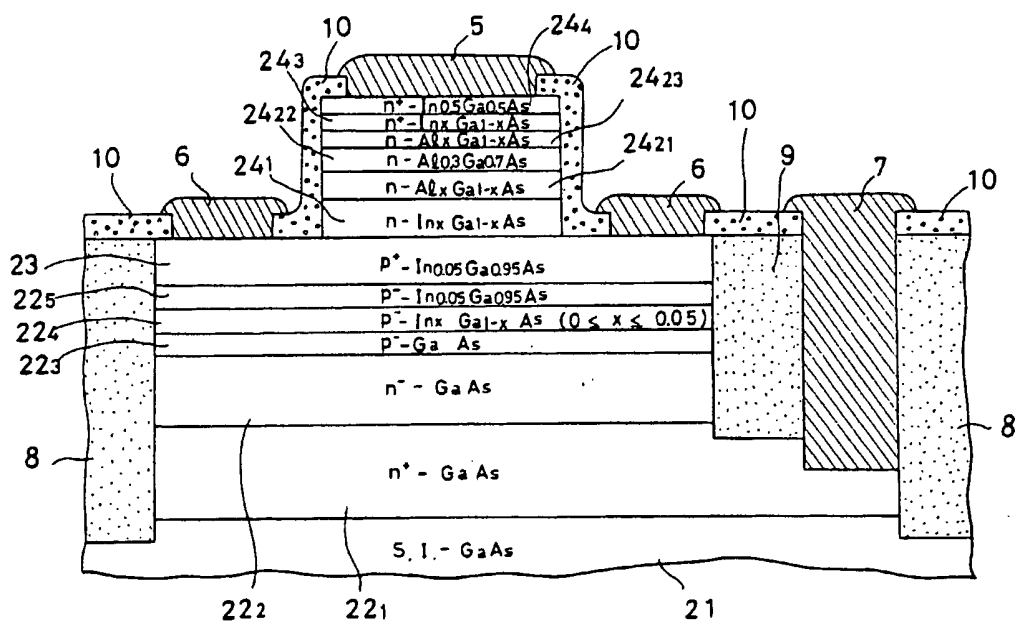
第 6 図



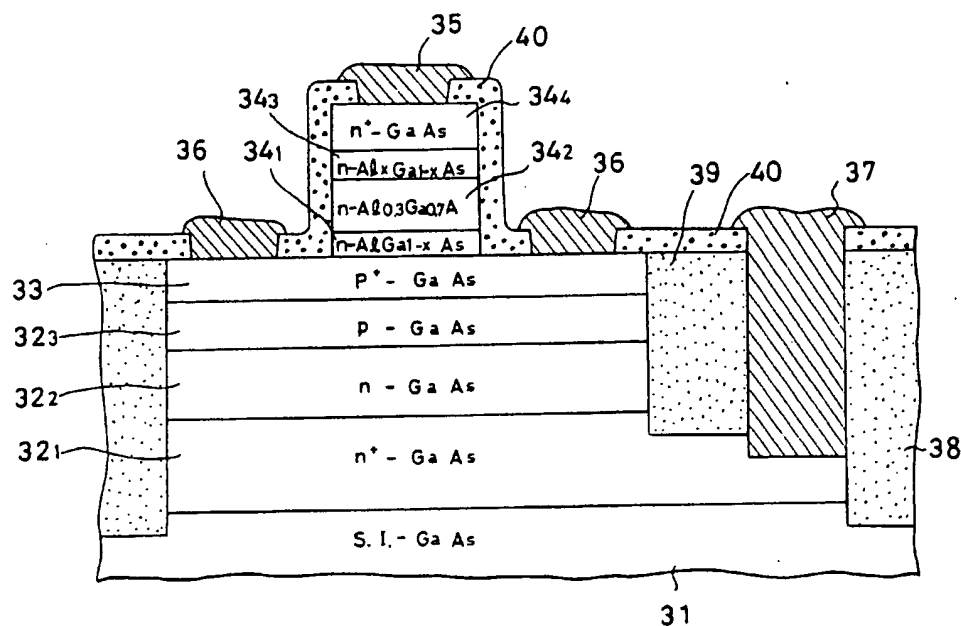
第 7 図



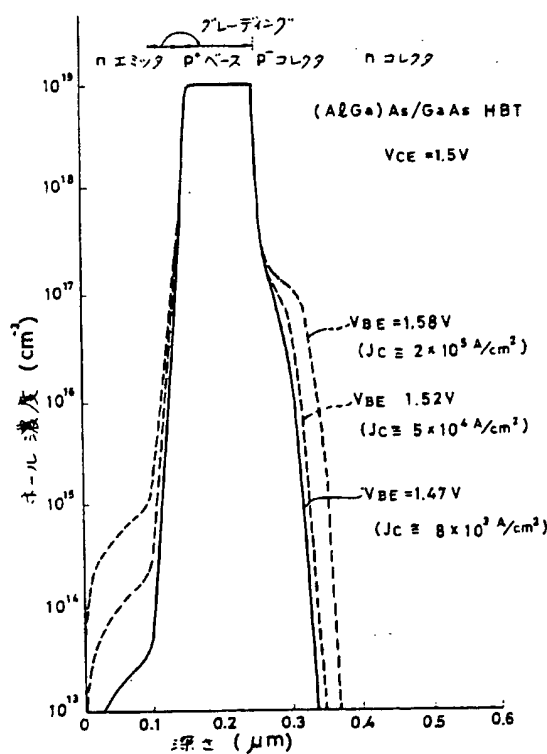
第 8 圖



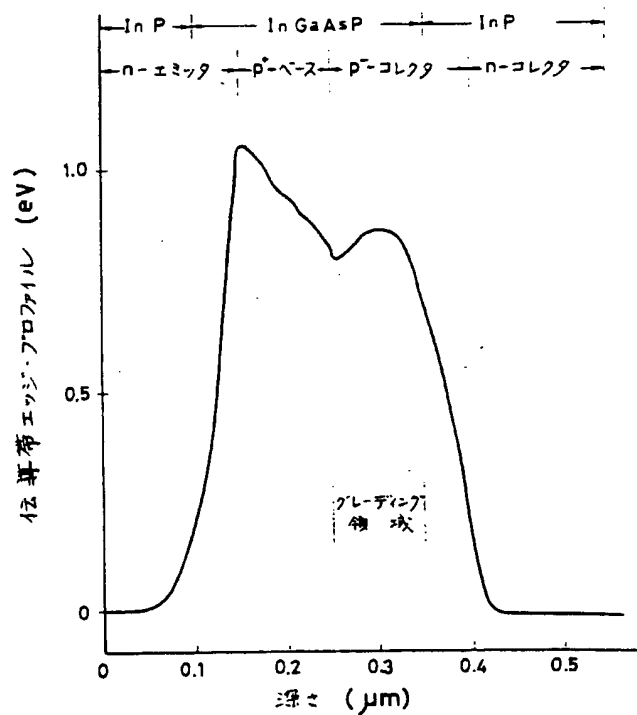
第 9 圖



第 10 図



第 11 図



第 12 図